

明 細 書

固体撮像装置

技術分野

[0001] 本発明は、MOSトランジスタを有する画素が設けられた固体撮像装置に関し、特に画素セル内のパターンレイアウトおよびそのレイアウトを有する固体撮像装置に関する。

背景技術

[0002] 固体撮像素子は、光電変換によって発生したキャリアの移動方式によって、金属と酸化物と半導体からなるMOS構造を有するFET型とCCD型と分けられる。この固体撮像素子は太陽電池、イメージカメラ、複写機、ファクシミリなど種々な方面に使用され、技術的にも光電変換効率や素子の集積密度の改良および改善が図られている。画素内に増幅素子を含む増幅型固体撮像装置の1つに、CMOSプロセスコンパチブルのセンサ(以後CMOSセンサと略す)がある。このタイプのセンサは非特許文献1などの文献にて開示されている。

[0003] 図7(a)は、特許文献1に記載されている従来のCMOSセンサの回路構成および断面を示す図であり、(b)は(a)に示す断面を回路で示す図である。また、図7(c)は、光電変換部(以下フォトダイオードと称する)において光子 $h\nu$ の入射によって発生した蓄積中の電荷の状態を示す図であり、(d)は、素子内に蓄積した後の電荷の状態を示す図である。

[0004] 図7(a)、(b)に示すように、従来のCMOSセンサは、各々が画素回路を含む複数の画素と、画素回路にそれぞれ接続されたソースフォロフ負荷MOSトランジスタ1007、暗出力転送MOSトランジスタ1008、明出力転送MOSトランジスタ1009と、暗出力転送MOSトランジスタ1008と接地との間に介設された暗出力蓄積容量1010と、明出力転送MOSトランジスタ1009と接地との間に介設された明出力蓄積容量1011とを備えている。そして、画素回路は、光を電子(キャリア)に変換するフォトダイオード1001と、フォトダイオード1001の出力部に接続されたMOSキャパシタであるフォトゲート1002と、フォトダイオード1001の出力部およびフォトゲート1002に接続され、

キャリアを転送するためのnチャネル型の転送用トランジスタ1 003と、一端が転送用トランジスタ1 003に接続され、他端に電源電圧VDDが供給されるnチャネル型のリセット用トランジスタ1 004と、ゲートが転送用トランジスタ1 003およびリセット用トランジスタ1 004に接続され、ドレインに電源電圧VDDが供給される増幅用トランジスタ1 005と、増幅用トランジスタ1 005のソースに接続されたnチャネル型の選択用スイッチトランジスタ1 006とを有している。

[0005] また、図7(a)に示すように、従来のCMOSセンサの画素回路は、半導体基板に形成されたP型ウェル1 017と、P型ウェル1 017上に設けられたゲート酸化膜1 018と、ゲート酸化膜1 018上に設けられた一層 日ポリSi1 019と、二層 日ポリSi1020と、P型ウェル1 017に設けられた n^+ フローティングディフュージョン領域(FD)とを有している。一層 日ポリSi1019はフォトゲート1 002の電極およびリセット用トランジスタ1 004のゲート電極として機能する。

[0006] ここで示す従来のセンサの特徴の1つはフルCMOSトランジスタプロセスコンパチブルであり、画素部のMOSトランジスタと周辺回路のMOSトランジスタとを同一工程で形成できることである。そのため、マスク枚数、プロセス工程が、CCDで構成される固体撮像装置と比較して大幅に削減できるという利点がある。

[0007] 次に、従来のCMOSセンサの動作方法を簡単に述べる。まず、フォトゲート1 002の下に空乏層を拡げるために制御パルス ϕ PGに正の電圧を印加する。フローティングディフュージョン部(FD部)1 021は電荷蓄積中、ブルーミング防止のため制御パルス ϕ Rをハイにして電源VDDに固定しておく。光子 $h\nu$ が照射されフォトゲート1 002下でキャリアが発生すると、フォトゲート1 002下の空乏層中に電子が蓄積されていき、正孔はP型ウェル1 017を通して排出される。

[0008] フォトダイオード1 001、P型ウェル1 017とフローティングディフュージョン部1 021との間には転送用トランジスタ1 003によるエネルギー障壁が形成されているため、光電荷蓄積中は電子がフォトゲート1 002下に存在する(図7(c)参照)。

[0009] 次に、読み出し状態になると転送用トランジスタ1 003下の障壁をなくし、フォトゲート1 002下の電子をFD部1 021へ完全に転送させるように制御パルス ϕ PG、制御パルス ϕ TXを設定する(図7(d)参照)。本工程は完全転送であるため、残像やノイズ

ほフォトダイオード1 001 においては発生しない。FD部1 021 に電子が転送されると電子の数に応じてFD部1 021 の電位が変化する。その電位変化をソースフォロフ動作で増幅用トランジスタ1 005 のソースを介して選択用トランジスタ1 006 へ出力することにより、線形性の良い光電変換特性を得ることができる。FD部1 021 において、リセットによる kTC ノイズ(トランジスタオン/オフ時に発生する寄生容量 C に起因した熱雑音)が発生するが、これは光 $h\nu$ によるキャリア転送前の暗出力をサンプリングして蓄積しておき、明出力との差を取れば除去できる。従って、このCMOSセンサは低ノイズで高 S/N 信号が特徴となっている。また、完全非破壊読み出しであるため多機能化が実現できる。更にXYアドレス方式による高歩留り、低消費電力というメリットもある。

[0010] 次に、すでに周知となっている4Tr型CMOSセンサにおける画素構成を説明する。

[0011] 図8は、従来の4Tr型CMOSセンサの画素構成を示す回路図である。このタイプのCMOSセンサは、転送用トランジスタ11 02、リセットトランジスタ11 03、増幅用トランジスタ11 04、選択用トランジスタ11 05の4つのトランジスタを各画素に有していることにより、4Tr型CMOSセンサと呼ばれているものである。

[0012] 図8に示すように、従来の4Tr型CMOSセンサは、光電変換部となるフォトダイオード11 01と、フォトダイオード11 01の出力部に接続され、フォトダイオード11 01に蓄積された信号電荷を転送する転送用トランジスタ11 02と、転送用トランジスタ11 02に転送された電荷による信号をリセットするためのリセットトランジスタ11 03と、転送用トランジスタ11 02によって転送された信号電荷を増幅する増幅トランジスタ11 04と、増幅トランジスタ11 04に接続され、画素を選択する選択用トランジスタ11 05とを備えている。

[0013] フォトダイオード11 01、転送用トランジスタ11 02、リセットトランジスタ、増幅トランジスタ、選択用トランジスタを有する、上記のような4Tr型CMOSセンサの画素部分ほ、例えば図9に示すようなパターンにレイアウトされる。

[0014] 図9は、図8に示す従来の4Tr型CMOSセンサの画素部分の平面レイアウトを示す図である。同図において、11 01aはフォトダイオード領域、11 02aは転送用トランジス

タのゲート、11 03aはリセットトランジスタのゲート、11 04aは増幅トランジスタのゲート、11 05aは選択トランジスタのゲートである。11 06はフォトダイオードに蓄積され、転送用トランジスタによって転送された信号電荷を電位に変換するフローティングディフュージョン領域である。

[0015] このレイアウトから理解されるように、4Tr型CMOSセンサは、1個の画素中に増幅手段(アンプ)やその制御を目的とした4つのトランジスタを配置しなければならないので、フォトダイオードの画素に占める割合(面積率)、あるいは、光が入射する領域の画素に占める割合(開口率)が小さくなりがちである。従って、4Tr型のCMOSセンサでは、撮像装置のダイナミックレンジ、感度、S/N比等が低下する恐れがある。

[0016] 一方、近年画素セルサイズの微細化およびフォトダイオードの開口率向上のため、リセットトランジスタで画素選択を行い、選択用トランジスタを廃した画素構成が特許文献1および特許文献2で提案されている。このタイプの固体撮像装置は、選択用トランジスタを廃することで、転送用トランジスタ、リセットトランジスタ、増幅用トランジスタの3つのトランジスタを各1画素内部領域に有していることより、3Tr型CMOSセンサと呼ばれている。

[0017] 図1 0は、従来の3Tr型CMOSセンサの画素における回路構成を示す図であり、図11は、図1 0に示す従来の3Tr型CMOSセンサの画素のレイアウトを示す平面図である。

[0018] 図1 0に示すCMOSセンサにおいて、フォトダイオード11 01で蓄えられた信号電荷は転送トランジスタ11 02でFD部に転送される。転送された電荷は、増幅用トランジスタ11 04で電圧変換され、画素信号として出力される。フローティングディフュージョンに蓄えられた信号は11 03のリセットトランジスタをオンすることで、電荷排出を行い初期状態に戻すようになっている。次に、図11において、11 01aはフォトダイオード(領域)であり、11 02a、11 03a、11 04aはそれぞれ転送用トランジスタ、リセットトランジスタ、増幅用トランジスタのゲートである。このタイプのCMOSセンサは、選択トランジスタのゲートが形成されない分だけ面積を小さくすることができるという特徴を持っている。

[0019] 画素セルサイズの微細化を損ねず、フォトダイオードの開口率の低下を防ぐさらに

改善された方法として、例えば特許文献2あるいは特許文献3に見られるように、複数画素で1つの増幅手段を共有する方法が提案されている。

[0020] 図12は、2個の画素で1つの増幅手段を共有する従来の画素回路構成の例を示す図である。同図は画素2個分の回路構成を示したものである。この従来の画素回路の動作を簡単に説明する。

[0021] まず、フォトダイオード1101で蓄えられた信号を読み出す画素アレイの列（たとえば図12の上側の画素）の転送用トランジスタ1102をオンし、読み出された信号電荷をフローティングディフュージョンに蓄える。蓄えられた信号電荷を増幅用トランジスタ1104を用いて電圧変換し、選択用トランジスタ1105をオンにすることで画素信号として外部に読み出す。次に、リセットトランジスタ1103をオンすることでフローティングディフュージョンに蓄えられた信号を排出し、初期状態に戻す。次いで、読み出す画素アレイの行の転送用トランジスタ（たとえば図12の下側の画素）1102をオンにし、蓄えられた信号をフローティングディフュージョンに転送する。その後のリセットトランジスタ1103、増幅用トランジスタ1104、および選択用トランジスタ1105の動作は上側の画素について述べた内容と共通である。

[0022] 上記の画素回路では、信号の増幅手段が隣接する画素で共通化されているが、画素は実質的に4Tr構成であった。これに対し、画素回路構成が実質的に3Tr型CMOSであり、且つ、複数画素で1つの増幅手段を共有する構成を有する固体撮像装置が特許文献3で提案されている。

[0023] 図13は、従来の3Tr型CMOSの画素回路構成を示す図である。同図では、2画素分を示している。

[0024] 図13に示す従来の3Tr型CMOSでは、フォトダイオード1101で蓄えられた信号電荷を読み出す画素アレイの列（たとえば図13の上側の画素）の転送用トランジスタ1102をオンし、読み出された信号電荷をフローティングディフュージョンに蓄える。そして、フローティングディフュージョンに蓄えられた信号を増幅用トランジスタ1104を用いて電圧変換し、出力する。このとき、読み出さない画素のフローティングディフュージョンの電位を0Vに維持することで、選択トランジスタをなくすることができる。

[0025] 次に、リセットトランジスタ1103をオンすることでフローティングディフュージョンに蓄

えられた信号を排出し、初別状態に戻すことができる。次に、読み出す画素アレイの行の転送用トランジスタ110₂（たとえば図13の下側の画素）をオンにし、蓄えられた信号をフローティングディフュージョンに転送する。その後の、増幅用トランジスタ110₄とリセットトランジスタ110₃の動作は上側の画素と共通である。

非特許文献1:IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL41, PP452 ~453, 1994

特許文献1:特開平9-46596号公報

特許文献2:特開昭63-100879号公報

特許文献3:米国特許第6,043,478号

発明の開示

発明が解決しようとする課題

- [0026] しかしながら、図11には1画素セル内に3Trが配置されたレイアウトを示したが、上記特許文献1～いずれにしても2画素で実質的に4Trあるいは3Trで構成される場合の具体的な画素セルパターンレイアウトについては示されていなかった。
- [0027] CMOS型の撮像素子では、トランジスタのゲート電極の突き出し長さ（フィンガー長）やトランジスタの画素領域での配置位置に依存して半導体基板へのストレスに起因するリークが発生する。このため、画素間で素子のレイアウトが不均一になる従来の3Tr型CMOSセンサ（撮像素子）では、感度シェーディングおよび暗示シェーディングが発生するおそれがあった。
- [0028] 本発明は、上記課題を解決するためになされたものであり、画素の面積が微細化されたセルのパターンレイアウトを提供すると共に、画素間で素子のレイアウトを均一にすることが可能な撮像素子を提供することを目的とする。

課題を解決するための手段

- [0029] 本発明の固体撮像装置は、基板上に形成され、光を信号電荷に変換して蓄積するフォトダイオードと、ゲート電極を有し、前記フォトダイオードに蓄積された前記信号電荷を読み出すための転送用トランジスタと、前記基板のうち、前記転送用トランジスタのゲート電極の側方領域に設けられ、前記転送用トランジスタを介して読み出した前記信号電荷を電位に変換するフローティングディフュージョンとがそれぞれ設けられ

た、互いに隣接する第1の画素および第2の画素を含む複数の画素を備えた固体撮像装置であって、前記第1の画素には、ゲート電極を有し、一端が前記第1の画素内および前記第2の画素内の両前記フォトダイオードに接続され、他端に電源電圧が供給されるリセットトランジスタがさらに設けられ、前記第2の画素には、前記第1の画素内および前記第2の画素内の両前記転送用トランジスタに接続されたゲート電極を有し、前記フローティングディフューズノードで変換された電位を増幅する増幅用トランジスタがさらに設けられている。

- [0030] この構成により、2つの画素（第1の画素と第2の画素）でリセットトランジスタと増幅用トランジスタとを共用し、且つ第1の画素と第2の画素とに設けられるトランジスタ数を等しくできるので、画素のサイズを従来よりも縮小することができる。また、画素のサイズを縮小しない場合にはフォトダイオードのサイズを大きくすることができるので、従来の撮像装置に比べて開口率を上げることができ、感度を向上させることができる。
- [0031] 特に、前記第1の画素には前記増幅用トランジスタが設けられておらず、前記第2の画素には前記リセットトランジスタが設けられていないことが好ましい。
- [0032] 前記複数の画素は、前記複数の画素の各々に設けられた前記フォトダイオードの同一方向における重心同士の距離が一定となるように1次元状または2次元状に配置されていることにより、入射光を変換する信号出力の画素によるばらつきが抑えられる。
- [0033] 前記第1の画素と前記第2の画素とは互いに形状およびサイズが等しく、前記リセットトランジスタのゲート電極と前記増幅用トランジスタのゲート電極とは、前記第1の画素内または前記第2の画素内の同一の位置に配置されていることにより、素子分離膜などからゲート電極が受ける応力を画素ごとに均一にできるので、リーク電流量を均一にし、感度シェーディングや暗時シェーディングの発生を抑えることができる。
- [0034] 前記リセットトランジスタに接続する第1のコンタクトと、前記増幅用トランジスタに接続する第2のコンタクトとをさらに備え、前記第1のコンタクトの前記第1の画素内における位置は、前記第2のコンタクトの前記第2の画素内における位置と同一であることにより、フォトダイオードに入射する光の画素ごとのばらつきを抑えることができるので、シェーディングの発生を抑えることができる。

- [0035] 前記リセットトランジスタに接続し、金属からなる第1のコンタクトと、前記増幅用トランジスタに接続し、金属からなる第2のコンタクトとをさらに備えていることが好ましい。コンタクトの材料としては、タングステンなどの高融点金属が好ましく用いられる。
- [0036] 前記画素上に設けられた層間絶縁膜と、前記層間絶縁膜のうち前記フォトダイオードの直上に位置する部分の上に設けられたマイクロレンズとをさらに有することにより、ゲート電極の配置によって画素ごとに見られる層間絶縁膜の厚みのばらつきが抑えられる。従って、この固体撮像装置ではマイクロレンズからフォトダイオードまでの距離のばらつきが抑えられており、偶奇シェーディングなどのシェーディングの発生を抑えられる。

発明の効果

- [0037] 本発明の固体撮像装置では、入射光を検出する画素回路の構成要素であるリセットトランジスタと増幅用トランジスタを2個の画素セルに分けて配置し、この2個のトランジスタを2つの画素セルで共通に使用するようにしたので、1画素セルに組み込ま素子数が減少し、画素面積が縮小される。これによってフォトダイオードの重心を一定の空間的距離を持って配列し、セルピッチの微細化が可能となり固体撮像装置が小型化される。また、1個の画素の素子数が少ないのでフォトダイオードの開口率を向上させ、感度を高めることもできる。このようにして高性能なセンサを実現することができる。

図面の簡単な説明

- [0038] [図1]本発明の第1の実施形態に係る固体撮像装置の画素セル部のパターンレイアウトを示す図である。
- [図2]第1の実施形態の固体撮像装置の一例を示す回路図である。
- [図3]第1の実施形態に係る固体撮像装置における画素内パターンレイアウトにメタル配線への伝達コンタクトパターンを重ね合わせたレイアウト図である。
- [図4]第1の実施形態に係る固体撮像装置において、4行×4列の画素のレイアウトを示す図である。
- [図5]本発明の第2の実施形態に係る固体撮像装置の画素セル部のパターンレイアウトを示す図である。

[図6]複数画素で増幅手段(アンプ部)を共有した4Tr型CMOSセンサの画素レイアウトを示す図である。

[図7](a)は、従来のCMOSセンサの回路構成および断面を示す図であり、(b)は(a)に示す断面を回路で示す図であり、(c)は、光電変換部において光子の入射によって発生した蓄積中の電荷の状態を示す図であり、(d)は、素子内に蓄積した後の電荷の状態を示す図である。

[図8]従来の4Tr型CMOSセンサの画素構成を示す回路図である。

[図9]図8に示す従来の4Tr型CMOSセンサの画素部分の平面レイアウトを示す図である。

[図10]従来の3Tr型CMOSセンサの画素における回路構成を示す図である。

[図11]図10に示す従来の3Tr型CMOSセンサの画素のレイアウトを示す図である。

[図12]2個の画素で1つの増幅手段を共有する従来の画素回路構成の例を示す図である。

[図13]従来の3Tr型CMOSの画素回路構成を示す図である。

符号の説明

[0039]	113	フォトダイオード領域
	114	転送トランジスタ領域
	115	フローティングディフュージョン領域
	116、118	リセットトランジスタ配線領域
	117	増幅用トランジスタ領域
	119	水平方向画素ピッチ
	120	垂直方向画素ピッチ
	201	フォトダイオード
	202、402	転送用トランジスタのゲート電極
	203、303、403	リセットトランジスタのゲート電極
	204、304、404	増幅用トランジスタのゲート電極
	206	フローティングディフュージョン
	207、212、307	電源コンタクト

208、308	出力コンタクト
209、309	伝達用コンタクト
210	伝達用配線
211	出力配線
230	第1の画素
231	第2の画素

発明を実施するための最良の形態

[0040] 以下、本発明の実施形態を図面を参照しつつ詳細に説明する。

[0041] (第1の実施形態)

図1は、本発明の第1の実施形態に係る固体撮像装置の画素セル部(画素)のパターンレイアウトを示す図である。同図では、2つの画素230、231を示している。また、図2は、本実施形態の固体撮像装置の一例を示す回路図である。

[0042] 図2に示すように、本実施形態の固体撮像装置は、フォトダイオード1-1-1 ~ 1-m-nと、転送トランジスタ2-1-1 ~ 2-m-nと、リセットトランジスタ3-1-1 ~ 3-m-nと、増幅トランジスタ4-1-1 ~ 4-m-nと、行信号線6-1 ~ 6-mと、行信号蓄積部7と、列選択部8と、行選択部9と、転送トランジスタ制御線10-1 ~ 10-nと、リセットトランジスタ制御線11-1 ~ 11-nと、負荷トランジスタ群13と、画素部電源14とを備えている。ここで、m、nはともに2以上の整数とする。

[0043] フォトダイオード1-1-1 ~ 1-m-nは、入力してくる光を電気信号に変換する。転送トランジスタ2-1-1 ~ 2-m-nは、フォトダイオード1-1-1 ~ 1-m-nで生成された信号を転送する。増幅トランジスタ4-1-1 ~ 4-m-nは、転送された信号電荷を増幅する。リセットトランジスタ3-1-1 ~ 3-m-nは、信号電荷をリセットする。なお、フォトダイオード1-1-1 ~ 1-m-n、転送トランジスタ2-1-1 ~ 2-m-n、リセットトランジスタ3-1-1 ~ 3-m-nおよび増幅トランジスタ4-1-1 ~ 4-m-nは、図2に示すように、垂直方向にm段、水平方向にn段存在する単位セルに2次元的に配置されている。

[0044] リセットトランジスタ制御線11-1 ~ 11-nは、リセットトランジスタ3-1-1 ~ 3-m-nのゲートに接続されている。増幅トランジスタ4-1-1 ~ 4-m-nのソースは、行

信号線6-1 6-mに結線されており、その一端には負荷トランジスタ群13が設けられている。行信号線6-1 6-mの他端は、1行分の信号を取り込むスイッチトランジスタを含む行信号蓄積部7に接続される。行信号蓄積部7は、列選択部8から供給される列選択パルスにしたがって最終出力を順次出力する。

[0045] 次に、図1に示す画素セルは、2つの画素でリセットトランジスタと増幅用トランジスタとを共有する、本発明の第1の実施形態に係る選択トランジスタのないCMOSセンサ（固体撮像装置）のパターンレイアウトを示す図である。同図は、アルミニウムなど配線レイアウトを除いたレイアウトを示しており、CMOSセンサの回路構成としては図6で記載している複数画素で1つの増幅手段を共有する画素回路と同じである。

[0046] 本実施形態の固体撮像装置は、第1の画素（第1の画素セル）230および第2の画素（第2の画素セル）231を含み、1次元あるいは2次元状に配置された複数の画素と、画素に設けられた画素回路から流れる電流を処理する周辺回路とを有している。周辺回路の構成は、図7に示す従来の固体撮像装置と同様である。

[0047] 図1のA点（フローティングディフュージョン）を通る線を基準とする画素ピッチにおいて、点線枠で示す第1の画素230と第2の画素231が隣接して配置される。第1の画素230および第2の画素231には、それぞれ光を信号電荷（電子などのキャリア）に変換するフォトダイオード201と、フォトダイオード201に蓄積された信号電荷を転送するための転送用トランジスタのゲート電極202と、フォトダイオード201に蓄積され、転送用トランジスタによって転送された信号電荷を電位に変換するフローティングディフュージョン206とが設けられている。

[0048] そして、第1の画素230には、転送用トランジスタによって転送された信号電荷を増幅する増幅用トランジスタのゲート電極204と、基板のうちゲート電極204の両側方に位置する領域に設けられた例えばn型の拡散層活性領域を有する。この拡散層活性領域上には、第1の画素230からの信号を出力するための出力コンタクト208と、電源電圧供給部に接続するための電源コンタクト207とが設けられている。

[0049] また、第2の画素231には、転送用トランジスタに転送された信号をリセットするためのリセットトランジスタのゲート電極203と、基板のうちゲート電極203の両側方に位置する領域に設けられた例えばn型の拡散層活性領域と、拡散層活性領域上に設

けられ、フローティングディフュージョン2 06で電位変換された信号を増幅用トランジスタに伝達する増幅用トランジスタへの伝達用コンタクト2 09と、拡散層活性領域上に設けられ、電源電圧を供給するための電源コンタクト2 07とを備えている。第1の画素23 0内のフローティングディフュージョン2 06は、リセットトランジスタのゲート電極2 03の側方に設けられた拡散層活性領域に接続されている。

[0050] 以上のレイアウト構成では、互いに隣接する第1の画素23 0と第2の画素23 1とで1つの増幅用トランジスタおよび1つのリセットトランジスタを共用している。このため、本実施形態の固体撮像装置では、1つの画素内に設けられるトランジスタ数が2個となり、従来の固体撮像装置に比べてより画素(セル)の大きさを縮小することができる。そのため、本実施形態の固体撮像装置は、従来よりも高感度化され、S/N比の高いを実現することが可能となる。また、画素の大きさを縮小せずにフォトダイオードの開口率をさらに向上させることができる。

[0051] なお、本実施形態の固体撮像装置の各画素では、フォトダイオード2 01と2つのMOSトランジスタが設けられていることになり、従来の固体撮像装置に比べてトランジスタ数のばらつきが小さくなっている。

[0052] ここで、仮にトランジスタを第1の画素23 0または第2の画素23 1のうち一方の画素に偏って配置すれば、画素ごとのレイアウトのばらつきが大きくなり、不具合が起こる。具体的には、第1の画素に1つのトランジスタが設けられ、第2の画素に3つのトランジスタが設けられる場合、第2の画素はトランジスタのゲートで占有されるので、セル面積の微細化、あるいはフォトダイオードの開口率の向上が困難になる。

[0053] 図6は、第1の画素23 0には1つのトランジスタ、第2の画素23 1には3つのトランジスタを配置したパターンレイアウトの例を示す図である。図6では一部同じ部材には図1と同じ符号を付与している。

[0054] 図6に示すパターンレイアウトにおいては、転送用トランジスタのゲート電極4 02は各画素23 0、23 1に1個ずつ配置している。しかし、第2の画素23 1内では、リセットトランジスタのゲート電極4 03と転送用トランジスタのゲート電極4 02間に増幅用トランジスタのゲート電極4 04を配置しているため、画素セル内の面積がかなり占有されており、図の縦方向のセルの縮小化(微細化)が困難になる。一方、第1の画素23 0内

部でフォトダイオード2 01 の周辺部に空白のスペースがあり、第2の画素231のレイアウトと非常にアンバランスとなっている。

[0055] これに対して本実施形態の固体撮像装置の画素におけるパターンレイアウトでは、画素230には転送用トランジスタおよび増幅用トランジスタのゲート電極2 04、第2の画素231には転送用トランジスタおよびリセットトランジスタのゲート電極2 03を配置したため、両方の画素内部のスペースを有効に利用でき、4Tr／画素、あるいは3Tr／画素と比べ従来の固体撮像装置と比較して画素面積をさらに縮小できる。また反対に画素面積を縮小するのでなければフォトダイオード面積を拡張でき開口率を増大させることができる。

[0056] 図3は、図1に示した第1の実施形態に係る固体撮像装置における画素内パターンレイアウトに第一層メタル配線と第一層から第二層メタル配線（図示していない）への伝達コンタクトパターンを重ね合わせたレイアウト図である。

[0057] 同図に示すように、2画素で増幅用トランジスタを共有する各画素のフローティングディフュージョン2 06は、伝達用コンタクト2 09を介して第一層メタルからなる伝達用配線210で配線され、リセットトランジスタのソース領域（フローティングディフュージョン拡散層領域と共通の拡散層）を共有し、増幅用トランジスタのゲート電極2 04へコンタクトを介して接続される。ここで示したレイアウトでは、外部からリセットトランジスタおよび増幅用トランジスタに入力される電源は、図示しない第二層メタル配線により電源コンタクト212から第一層メタル配線である伝達用配線210、電源コンタクト2 07を通して供給されるようになっている。このように、伝達用配線210は、フローティングディフュージョン2 06で電位変換された電荷信号を増幅用トランジスタに伝達する配線として機能する。

[0058] また、フォトダイオード2 01に入射した光による電荷の出力は、出力コンタクト2 08を通じて出力配線211から出力される。すなわち、出力配線211は電位変換された信号を外部へ読み出すための配線である。以上のように、本実施形態の固体撮像装置における画素のレイアウトでは、メタル配線も密度の粗密無く配線することができることがわかる。

[0059] 図1および図3では、2画素で増幅用トランジスタ、リセットトランジスタを共有するし

レイアウトを説明するために必要最小の2画素分を示したが、実際の固体撮像装置は多数の画素が整列したアレイ状となっている。そこで、図4に4行×4列＝16画素分を典型的としたときのレイアウトの概略を示す。

[0060] 図4に示す画素アレイは、フォトダイオードの重心を基準とした場合の、画素配列の垂直方向画素ピッチ120と水平方向画素ピッチ119とが共に等ピッチとなることを特徴としている。ここでいうフォトダイオードの重心とは、撮像装置に対して垂直に入射した光がフォトダイオード上で最も強度が高くなる位置を示している。また、図の一点線で囲まれた領域が1画素である。

[0061] 図4を図1と対応させればわかるように、各画素は、フォトダイオードが配置されているフォトダイオード領域113と、転送用トランジスタが配置されている転送トランジスタ領域114と、フローティングディフュージョンが配置されているフローティングディフュージョン領域115と、リセットトランジスタのゲート配線が配置されているリセットトランジスタ配線領域116、118と、増幅用トランジスタが配置されている増幅用トランジスタ領域117とを有している。画素セルの配置は、リセットトランジスタが設けられた画素(図1に示す第2の画素231)と増幅用トランジスタが設けられた画素(図1に示す第1の画素230)を行の配列方向に交互に配置している。しかし、配列の仕方はこれ以外の方法でも可能であり、例えば、リセットトランジスタを有する画素Aと増幅用トランジスタを有する画素Bを、縦方向にABBAABBA・・・と典型的にしてもよい。その他、画素アレイ全体を接続する第一層、第二層メタル配線のレイアウトの容易さを考慮して様々な形態が可能である。

[0062] (第2の実施形態)

図5は、本発明の第2の実施形態に係る固体撮像装置の画素セル部のパターンレイアウトを示す図である。同図では、固体撮像装置に多数周率的に配列された同一形状の画素セルの内の特定の2個の画素セル部を示している。本実施形態の画素セル部のパターンレイアウトは、第1の実施形態同様に2つの画素でリセットトランジスタと増幅用トランジスタとを共有する、3Tr型CMOSセンサのパターンレイアウトである。なお、図5は、アルミニウム配線などの配線レイアウトを除いて示したものであり、本実施形態の固体撮像装置の画素セルの回路構成としては図13で記載している複

数画素で1つの増幅手段を共有する画素回路と同じである。

- [0063] 互いに隣接して配置された第1の画素230および第2の画素231は、それぞれ1つのフォトダイオード201と、フォトダイオード201に蓄積された信号電荷を転送するための転送用トランジスタと、転送用トランジスタによって転送された信号電荷を電位に変換するフローティングディフュージョン206とを有している。そして、第1の画素230には転送用トランジスタによって転送された信号電荷を増幅する増幅用トランジスタが設けられ、第2の画素231にはリセットトランジスタのゲート電極303が設けられている。
- [0064] 本実施形態の固体撮像装置における各画素同士のサイズや形状は互いに等しい。また、フォトダイオード201や転送用トランジスタのゲート電極202、各種コンタクト(電源コンタクト307、出力コンタクト308、伝達用コンタクト309)の形状や画素内における位置(座標)は、各画素でほぼ等しくなっている。画素内における拡散層活性領域やフローティングディフュージョン206の形状や位置もできるだけ画素間で等しくなるようにする。さらに、第1の画素230における増幅用トランジスタのゲート電極204の位置(座標)は、第2の画素231におけるリセットトランジスタのゲート電極303の位置(座標)とほぼ等しくなっており、それぞれのトランジスタの活性領域となる拡散層領域もできるだけ近いパターンとなっている。
- [0065] このため、本実施形態の固体撮像装置では、画素内の素子に関連するレイアウトが画素間で不均一になることによって発生するシェーディングを抑制することができる。固体撮像装置では、上述したように、トランジスタの絶縁分離境界からの電極突き出し長さ(フィンガー長)やトランジスタの画素領域上での配置位置に依存してリーク電流が発生する。図5の縦方向に配置された画素でトランジスタのレイアウト、位置が異なると、画素間でリークの発生状況が異なるため、偶数行の画素回路と奇数行の画素回路とでリーク電流量が異なることによる感度シェーディングおよび暗時シェーディングが発生する可能性がある。これに対し、本実施形態に示す固体撮像装置のように画素内の回路のレイアウトを揃えることによってシェーディングによる動作不良を抑制できる。
- [0066] また、最近の固体撮像装置ではコンタクト孔にタングステンなどの高融点金属を埋

め込んだタングステンプラグが使用されているが、画素に斜めに入射した光はタングステンプラグでも反射するので、コンタクト位置が画素間で異なると、フォトダイオードに入射する光がばらつくことになる。さらに、画素セル内のトランジスタのゲート電極上には層間絶縁膜が形成され、その後に化学的機械研磨(CMP)で層間絶縁膜の上面が平坦化されるにも関わらず、各トランジスタのゲート電極の位置が画素間で異なると平坦性がばらつく場合があったが、本実施形態の固体撮像装置では、画素内におけるゲート電極の位置も揃えられているので、平坦な上面を形成できるようになっている。

[0067] 画素の最上層(層間絶縁膜上層)には、半導体基板に形成されたフォトダイオードと対向する位置にマイクロレンズが形成されているのが通常であり、平坦性のバラツキによって層間絶縁膜の膜厚に差が生じると、それがマイクロレンズからフォトダイオードまでの距離の差になるため集光率に差ができ、光電変換される信号に差が発生する。また、層間絶縁膜の膜厚が画素のレイアウト間の違いに基づいて偶数行の画素上と奇数行の画素上とで差がある場合、偶数行の画素と奇数行の画素との間でシェーディングが発生する。本実施形態の固体撮像装置によれば、コンタクトの位置や層間絶縁膜の厚みのばらつきも抑えられているので、シェーディングの問題を解決することができる。

[0068] なお、本実施形態の固体撮像装置においては、第1の実施形態の固体撮像装置と同様に、3Trで構成されるCMOSセンサーにおいて、各画素に転送用トランジスタと増幅トランジスタ、あるいは転送用トランジスタとリセットトランジスタの計2個ずつのトランジスタを配置したので、画素セル面積を縮小できる。また、画素セルの面積を従来通りにしてフォトダイオードの開口率が大きくすることもできる。

産業上の利用可能性

[0069] 本発明のパターンレイアウトは、1画素に複数のMOS型トランジスタが設けられた固体撮像装置に適用できる。固体撮像装置の応用例としては、複写機、監視カメラやデジタルカメラ、センサなど、種々の装置がある。

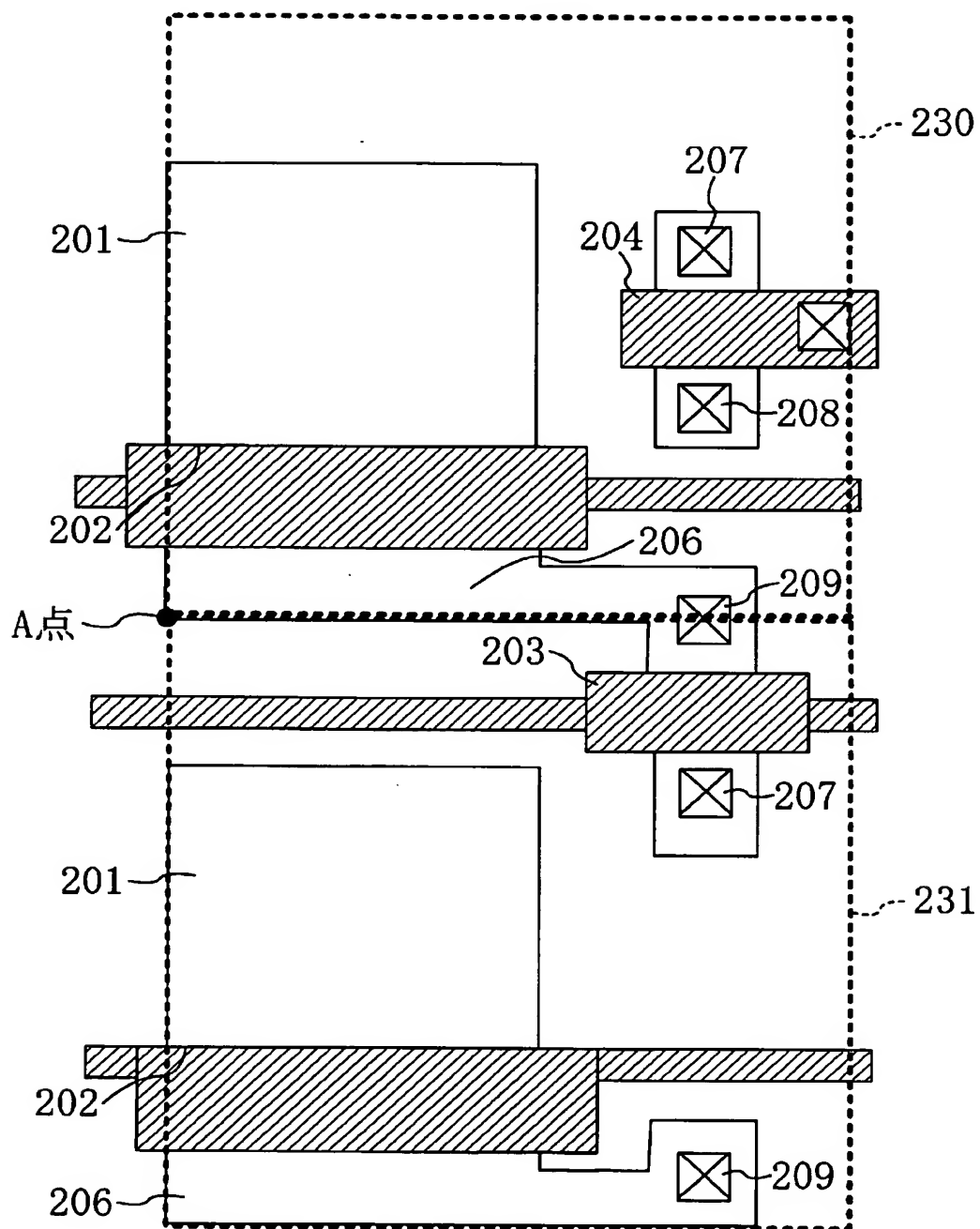
請求の範囲

- [1] 基板上に形成され、光を信号電荷に変換して蓄積するフォトダイオードと、ゲート電極を有し、前記フォトダイオードに蓄積された前記信号電荷を読み出すための転送用トランジスタと、前記基板のうち、前記転送用トランジスタのゲート電極の側方領域に設けられ、前記転送用トランジスタを介して読み出した前記信号電荷を電位に変換するフローティングディフュージョンとがそれぞれ設けられた、互いに隣接する第1の画素および第2の画素を含む複数の画素を備えた固体撮像装置であって、
- 前記第1の画素には、ゲート電極を有し、一端が前記第1の画素内および前記第2の画素内の両前記フォトダイオードに接続され、他端に電源電圧が供給されるリセットトランジスタがさらに設けられ、
- 前記第2の画素には、前記第1の画素内および前記第2の画素内の両前記転送用トランジスタに接続されたゲート電極を有し、前記フローティングディフュージョンで変換された電位を増幅する増幅用トランジスタがさらに設けられていることを特徴とする固体撮像装置。
- [2] 前記第1の画素には前記増幅用トランジスタが設けられておらず、
- 前記第2の画素には前記リセットトランジスタが設けられていないことを特徴とする請求項1に記載の固体撮像装置。
- [3] 前記複数の画素は、前記複数の画素の各々に設けられた前記フォトダイオードの同一方向における重心同士の距離が一定となるように1次元状または2次元状に配置されていることを特徴とする請求項1に記載の固体撮像装置。
- [4] 前記第1の画素と前記第2の画素とは互いに形状およびサイズが等しく、
- 前記リセットトランジスタのゲート電極と前記増幅用トランジスタのゲート電極とは、前記第1の画素内または前記第2の画素内の同一の位置に配置されていることを特徴とする請求項1に記載の固体撮像装置。
- [5] 前記リセットトランジスタに接続する第1のコンタクトと、
- 前記増幅用トランジスタに接続する第2のコンタクトとをさらに備え、
- 前記第1のコンタクトの前記第1の画素内における位置は、前記第2のコンタクトの前記第2の画素内における位置と同一であることを特徴とする請求項1に記載の固体

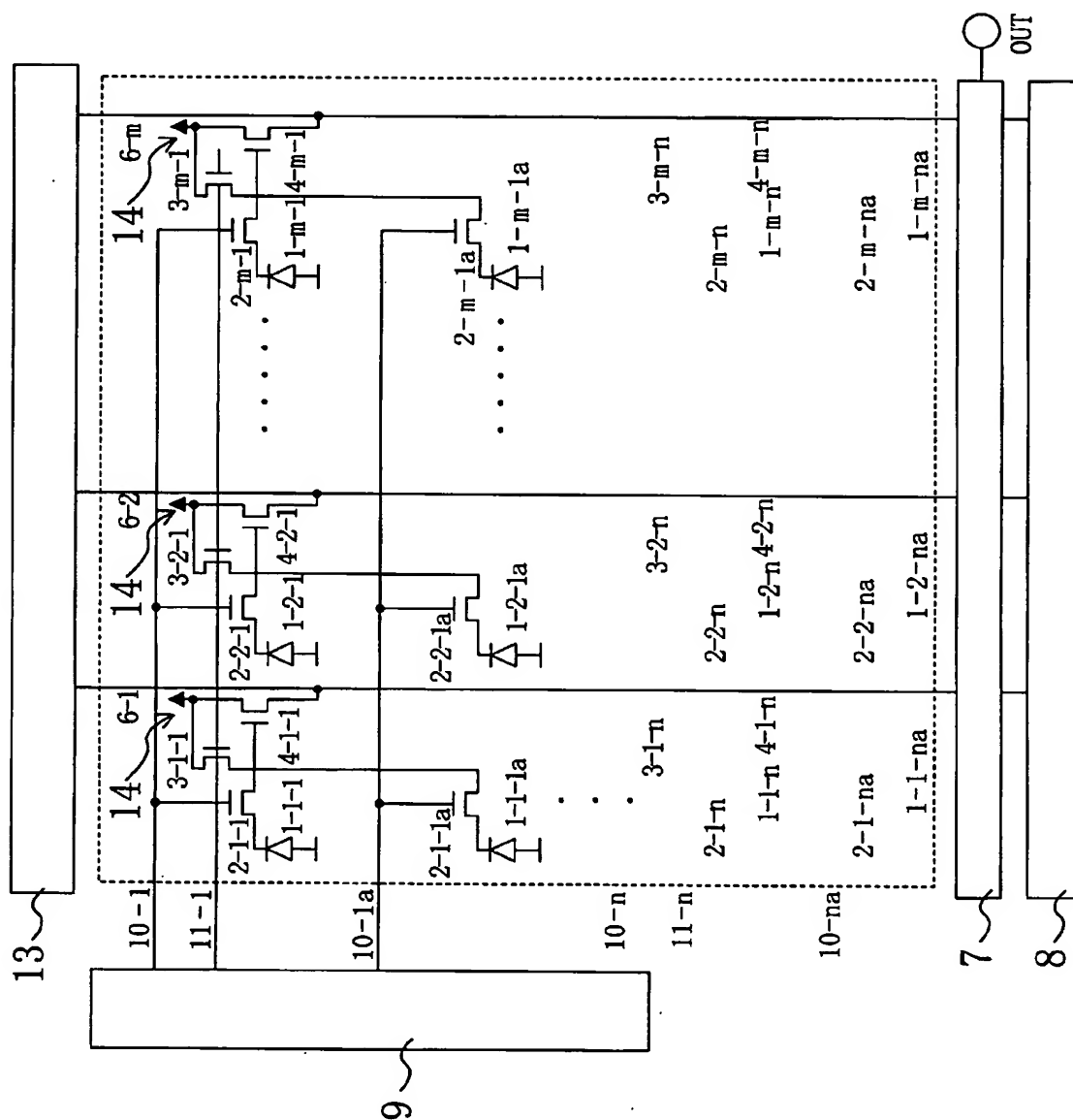
撮像装置。

- [6] 前記リセットトランジスタに接続し、金属からなる第1のコンタクトと、
前記増幅用トランジスタに接続し、金属からなる第2のコンタクトとをさらに備えていることを特徴とする請求項1に記載の固体撮像装置。
- [7] 前記画素上に設けられた層間絶縁膜と、
前記層間絶縁膜のうち前記フォトダイオードの直上に位置する部分の上に設けられたマイクロレンズとをさらに有することを特徴とする請求項4に記載の固体撮像装置。

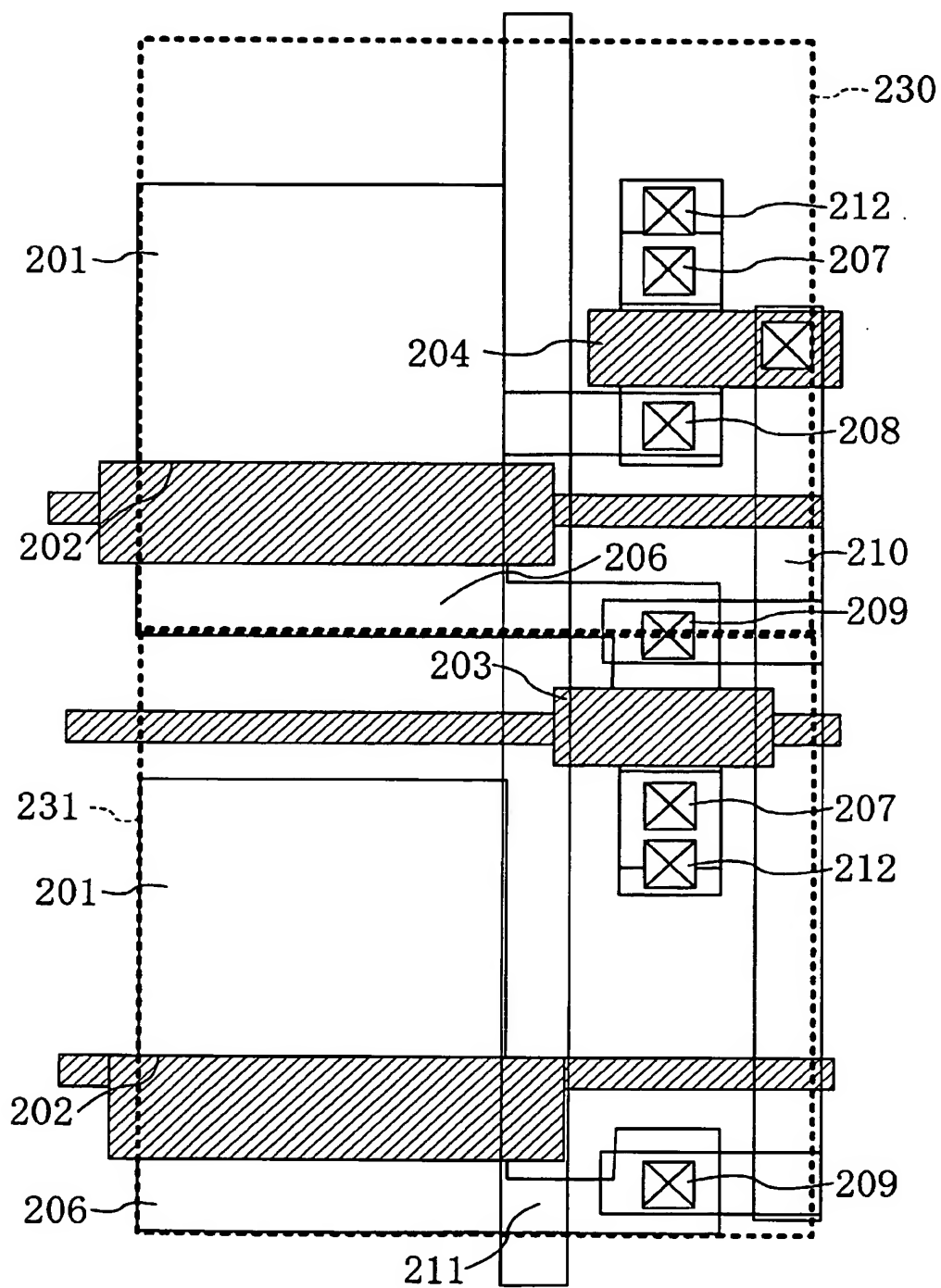
[図1]



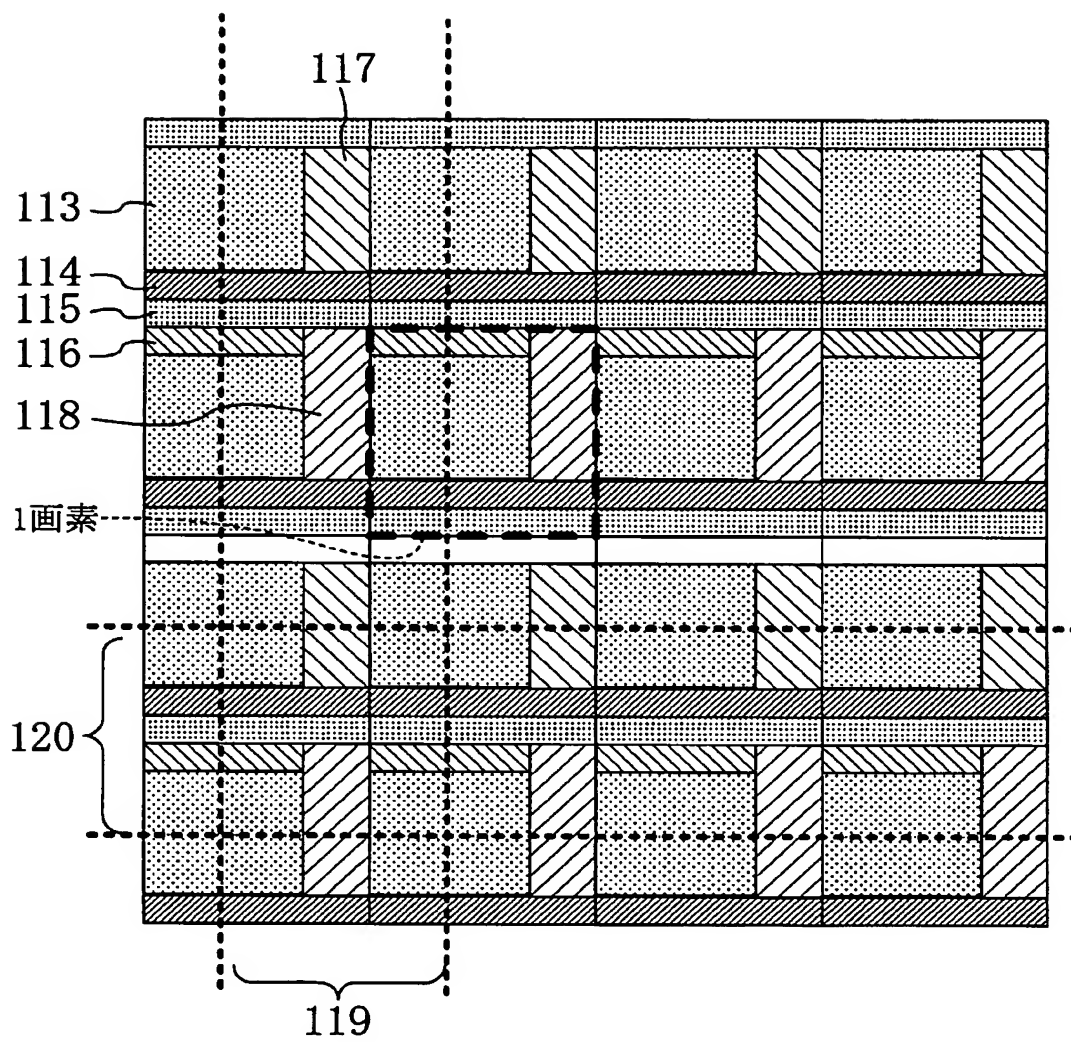
[図2]



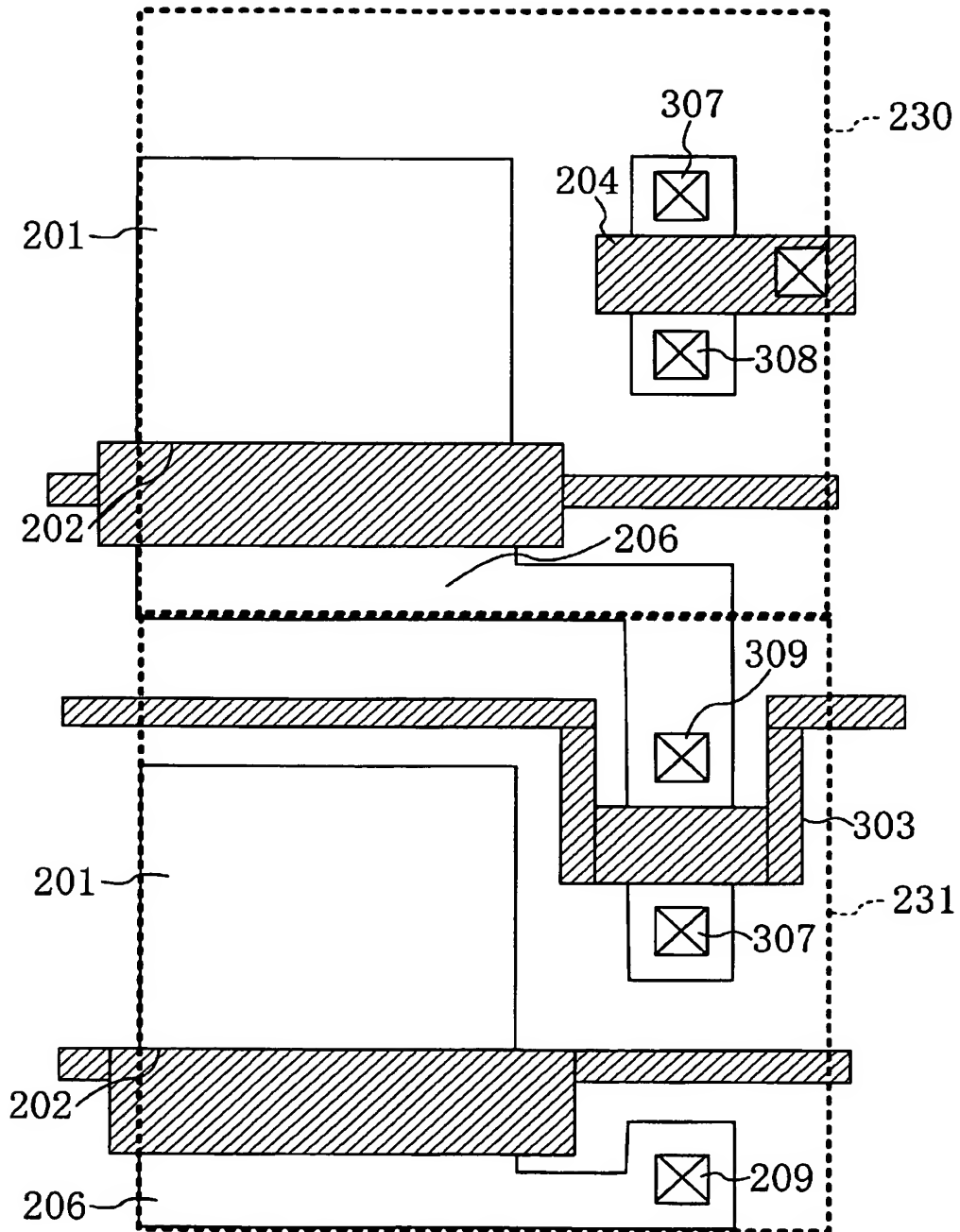
[図3]



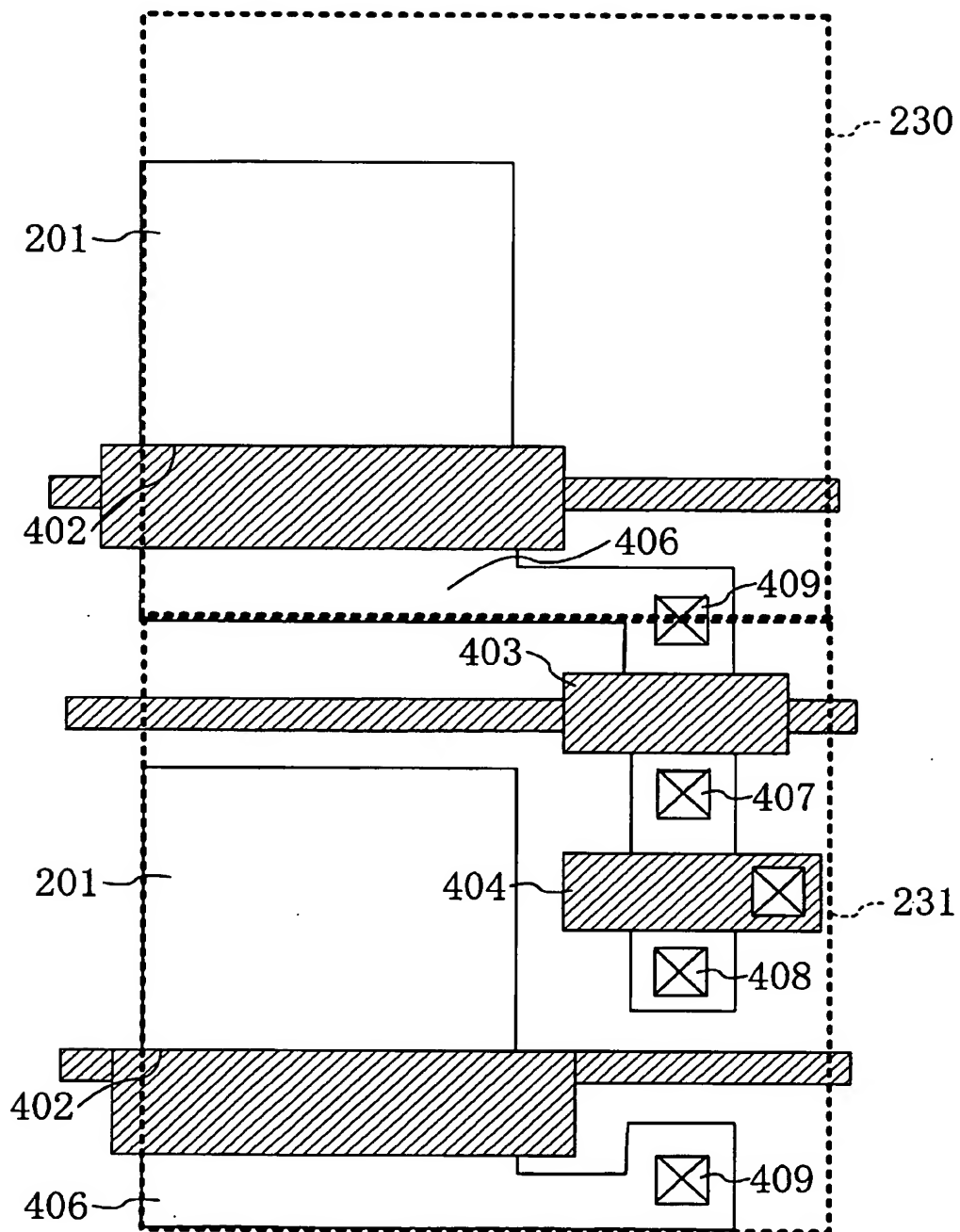
[図4]



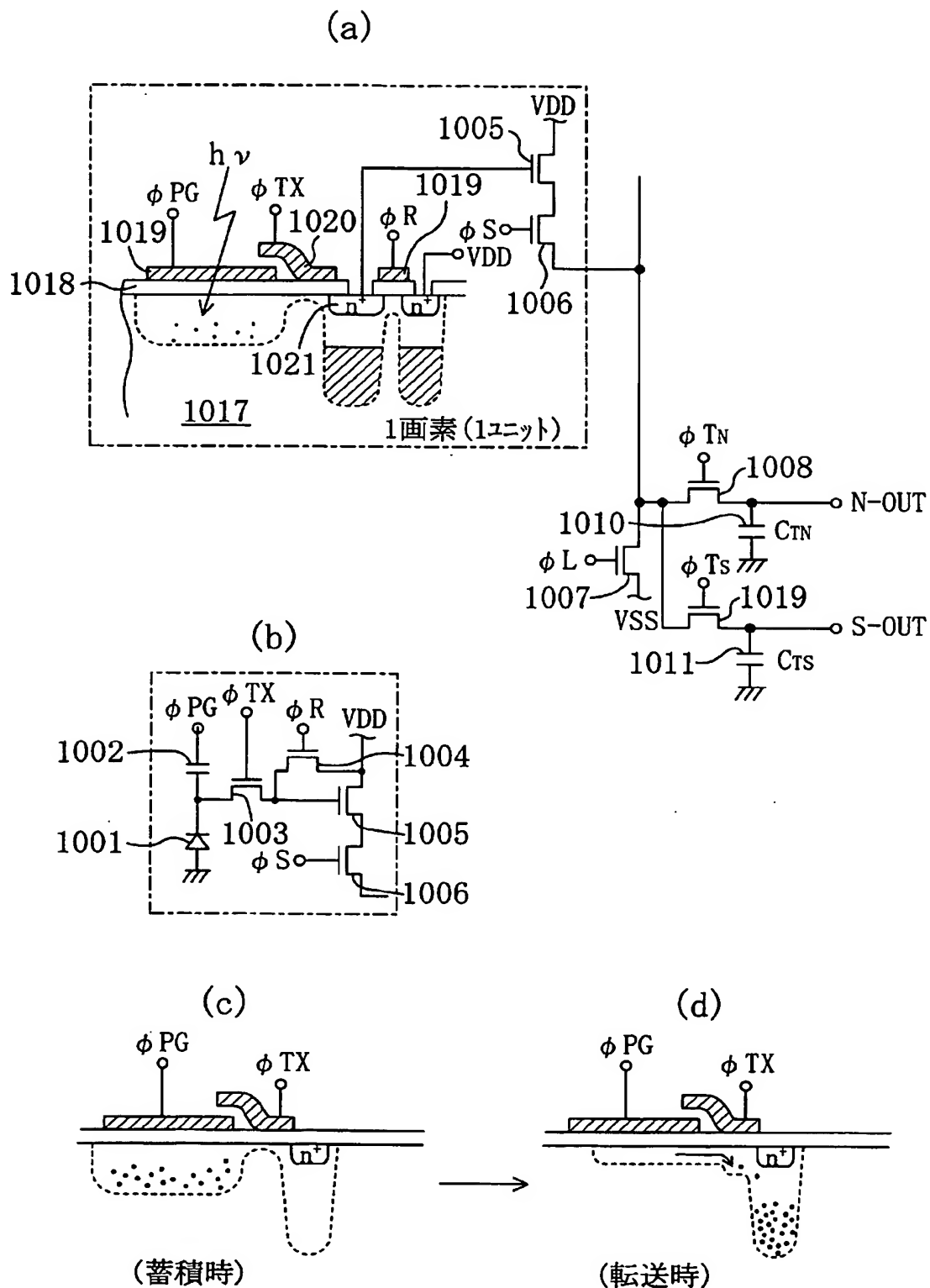
[図5]



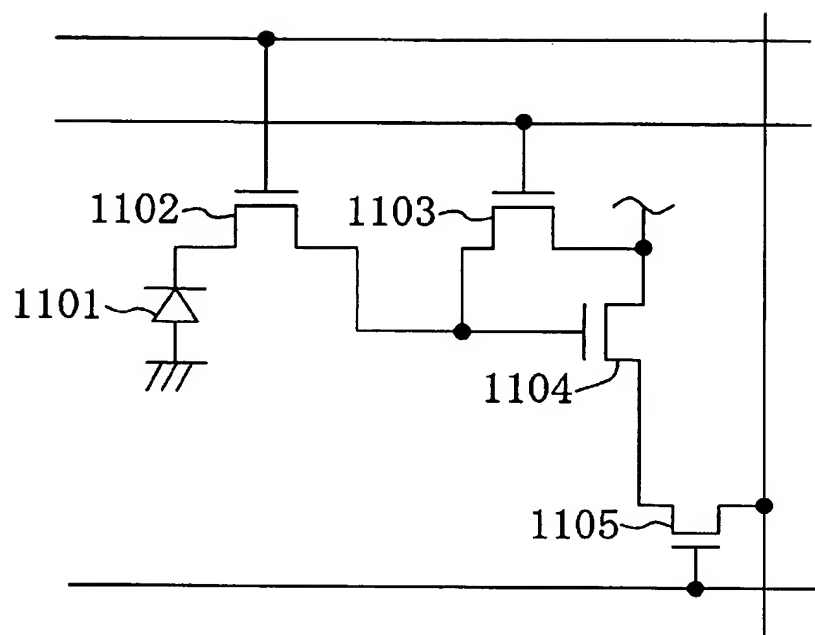
[図6]



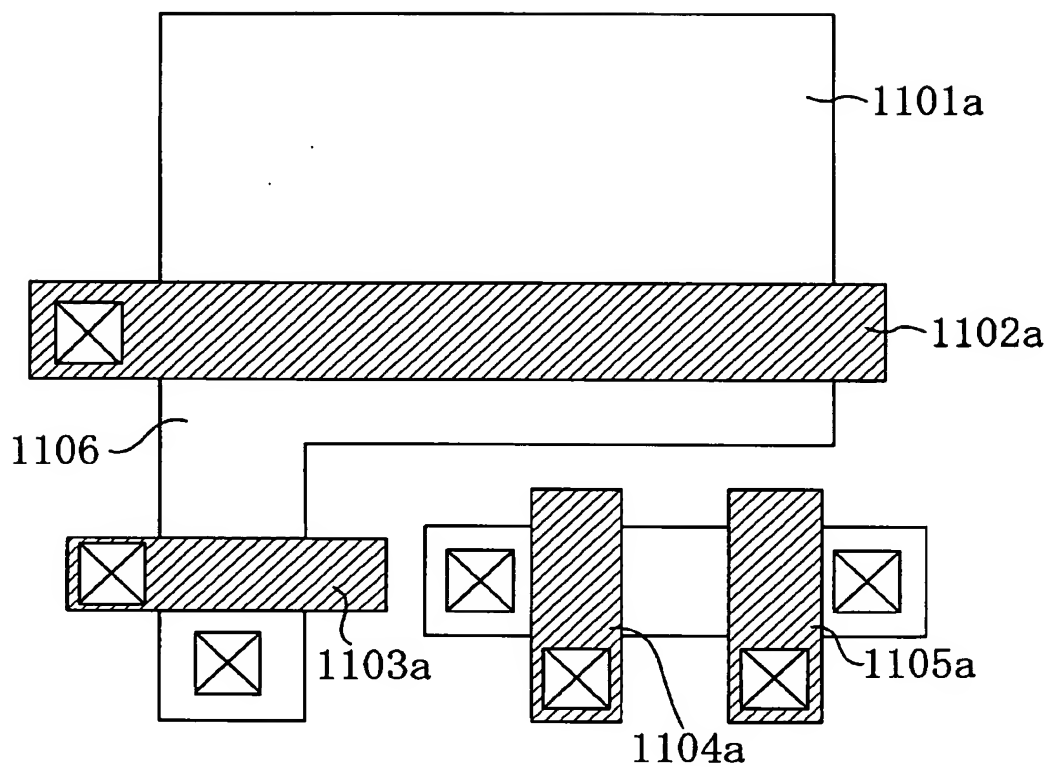
[図7]



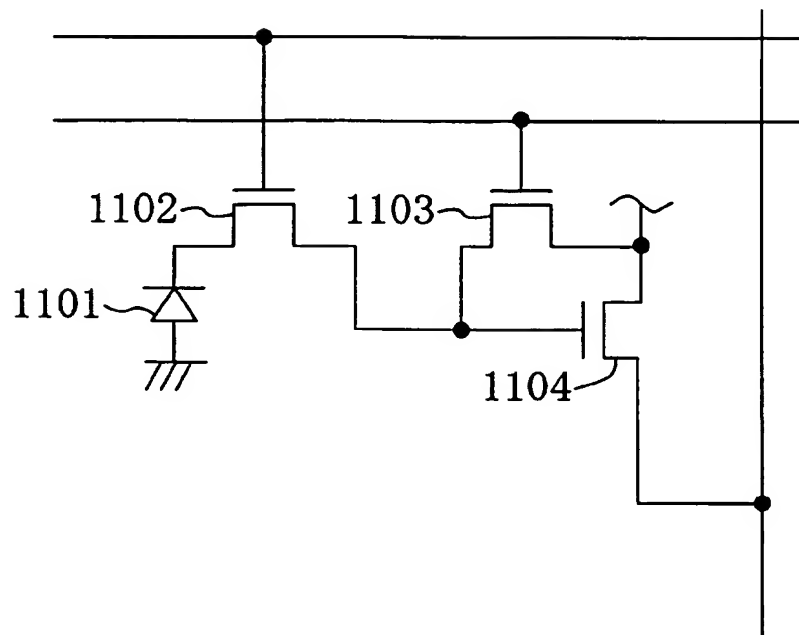
[図8]



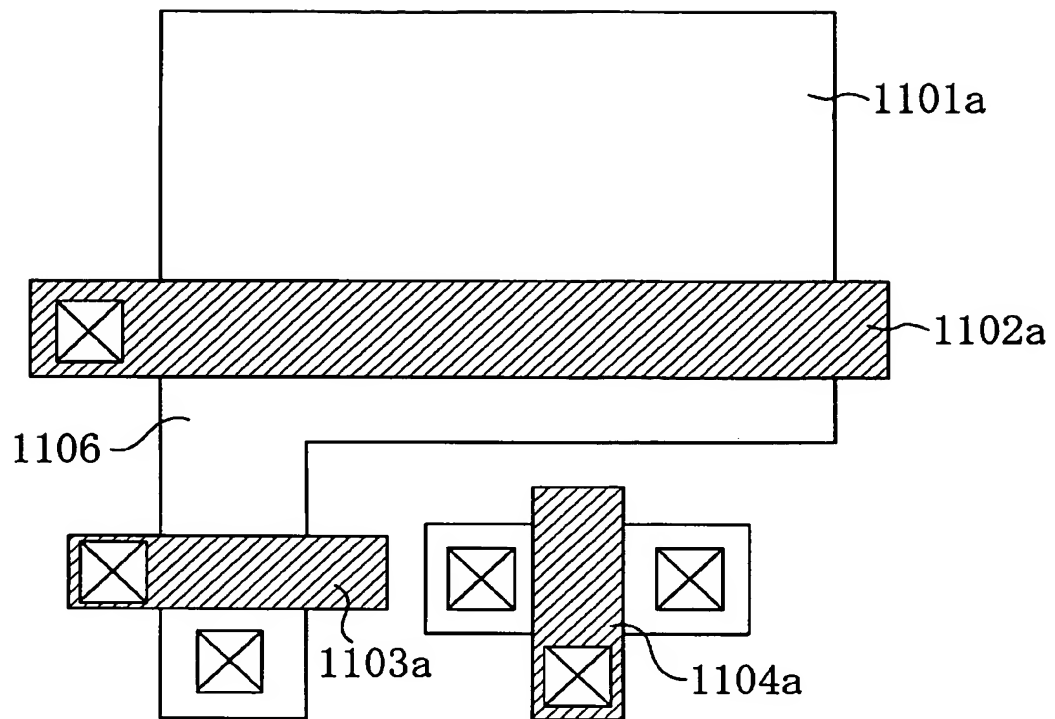
[図9]



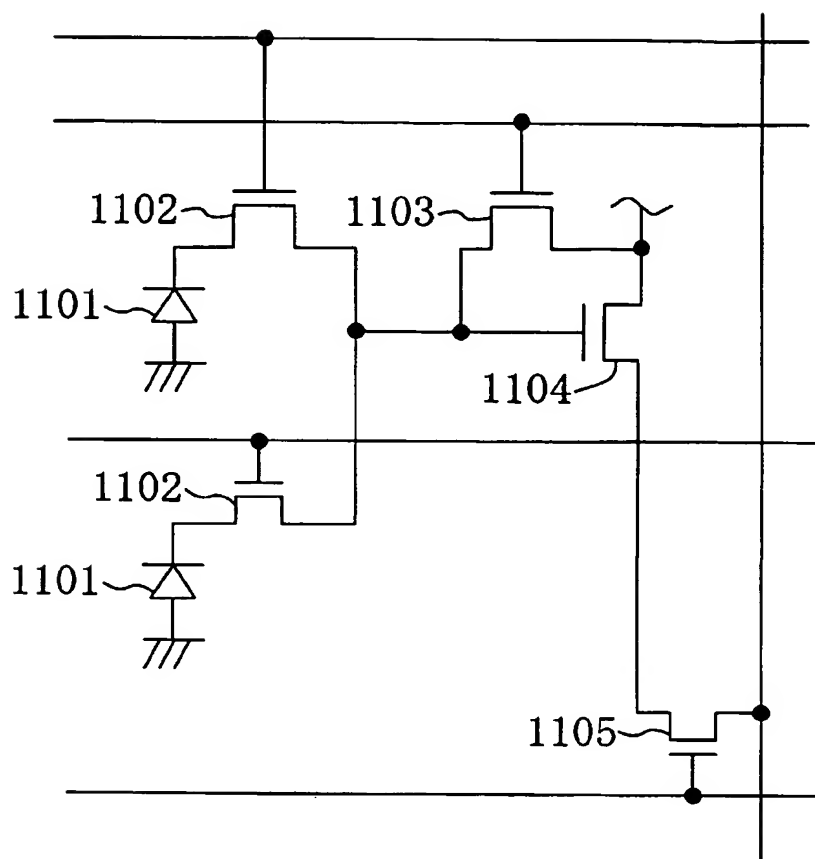
[図10]



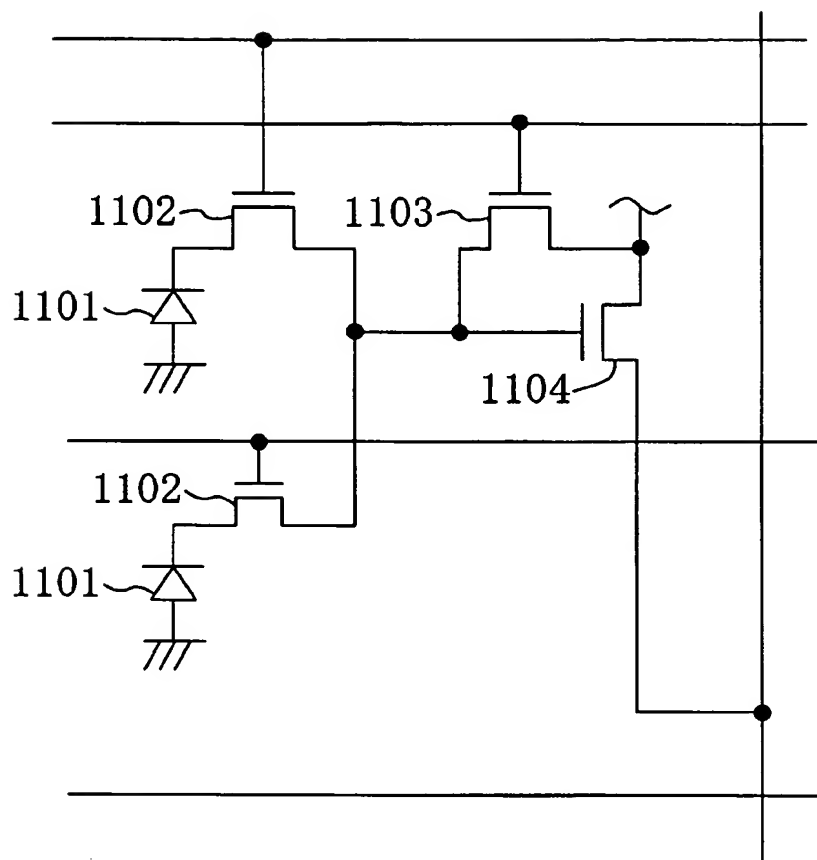
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012194

A. CLASSIFICATION OF SUBJECT MATTER

Int .Cl⁷ H01L27/146, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int .Cl⁷ H01L27/146, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2005
Kokai	Jitsuyo	Shinan	Koho	1971-2005	Toroku	Jitsuyo	Shinan	Koho
								1994-2005

Electronic database consulted during the international search (name of database and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-232216 A (Eastman Kodak Co.), 22 August, 2000 (22.08.00), Full text; all drawings & EP 1017106 A2 & KR 52598 A & TW 457815 A & US 6657665 B1	1,2,3,5 6 4,7
X Y A	JP 11-312800 A (Canon Inc.), 09 November, 1999 (09.11.99), Full text; all drawings & EP 954032 A2 & CN 1233806 A & KR 99083635 A	1,2,3,5 6 4,7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 July, 2005 (28.07.05)Date of mailing of the international search report
16 August, 2005 (16.08.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/012194

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-221527 A (Samsung Electronics Co., Ltd.) , 05 August, 2004 (05.08.04) , Full text; all drawings & EP 1439582 A2 & KR 4065963 A & US 2004/140564 A1 & CN 1518119 A	6
A	US 6043478 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) , 28 March, 2000 (28.03.00) , Full text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

而しCL⁷ H01L27/146, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996	年
日本国公開実用新案公報	1971-2005	年
日本国実用新案登録公報	1996-2005	年
日本国登録実用新案公報	1994-2005	年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリーホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-232216 A (イーストマン コダック カンパニー) 2000. 08. 22,	1, 2, 3, 5
Y	全文, 全図	6
A	&EP 1017106 A2 &KR 52598 A &TW 457815 A 及び US 6657665 B1	4, 7

鮮 C欄の続きにも文献が列挙されている。

□ パテントファミリーに関する別紙を参照。

ホ 引用文献のカテゴリー

- IAJ 特に関連のある文献ではなく、- 般的技術水準を示すもの
- IEJ 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- ILJ 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- IOJ 口頭による開示、使用、展示等に言及する文献
- IPJ 国際出願日前で、かつ優先権の主張の基礎となる出願

の 目の役に公表された文献

- ITJ 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- IXJ 特に関連のある文献であって、当議文献のみで発明の新規性又は進歩性がないと考えられるもの
- IYJ 特に関連のある文献であって、当議文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

28. 07. 2005

国際調査報告の発送日

16. 8. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/ JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

電話番号 03-3581-1101 内線 3498

4 L

3035

C (続き) . 関連すると認められる文献		
引用文献 ⁽⁷⁵⁾ カテゴリー ^ホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所め表示	関連する 請求の範囲の番号
X	JP 11-312800 A (キヤノン株式会社) 1999. 11. 09, 全文, 全図	1, 2, 35
Y	&EP 954032 A2 &CN 1233806 A &KR 99083635 A	6
A		47
Y	JP 2004-221527 A (三星電子株式会社) 2004. 08. 05, 全文, 全図 &EP 1439582 A2 &KR 4065963 A &US 2004/140564 A1 &CN 1518119 A	6
A	US 6043478 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2000. 03. 28, 全文, 全図 (ファミリーなし)	1-7